



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kleint, et al.

Attorney Docket: 2002 P 14454 US

Filed: December 12, 2003

Examiner: TBD

Serial No.: 10/735,411

Art Unit: 2186

For: Method for Fabricating Semiconductor Memories with Charge Trapping Memory Cells

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**Transmittal of Certified Copy of Priority Document**

Dear Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: Germany  
Application Number: 102 58 420.6  
Filing Date: December 13, 2002

Respectfully submitted,

Ira S. Matsil  
Reg. No. 35,272  
Attorney for Applicants

Slater & Matsil, L.L.P.  
17950 Preston Rd., Suite 1000  
Dallas, TX 75252  
Tel: 972-732-1001  
Fax: 972-732-9218

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 58 420.6

**Anmeldetag:** 13. Dezember 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Verfahren zur Herstellung von Halbleiterspeichern mit Charge trapping-Speicherzellen

**IPC:** H 01 L 21/8246

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 27. November 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

A handwritten signature in black ink, appearing to read "Letang".

Letang

## Beschreibung

Verfahren zur Herstellung von Halbleiterspeichern mit Charge-trapping-Speicherzellen

5

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung von Halbleiterspeichern mit Charge-trapping-Speicherzellen, bei denen vergrabene Bitleitungen mit Bitleitungskontakten versehen werden.

10

Bei der Herstellung elektronischer Bauelemente wird eine Mehrzahl von Bauelementebenen in aufeinanderfolgenden Prozessschritten hergestellt. Infolge der weiteren Miniaturisierung dieser Bauelemente tritt das Problem auf, dass die dabei eingesetzten technischen Mittel, insbesondere die Masken, derart relativ zu dem jeweiligen Zwischenprodukt des Bauelementes ausgerichtet werden müssen, dass die verschiedenen Ebenen in der vorgesehenen Weise zueinander angeordnet sind. Das verlangt eine sehr exakte Justage der Masken nicht nur relativ zu dem Bauelement als Ganzem, sondern speziell zu der jeweils vorhergehenden Anordnung der Masken, was für die relativen Positionen der Bauelementestrukturen maßgeblich ist. Eine entsprechende Ausrichtung der Bauelementebenen in aufeinanderfolgenden Schritten des Herstellungsprozesses wird dadurch erschwert, dass die hergestellten Strukturen oftmals keinen ausreichenden optischen Kontrast erzeugen und so in nachfolgenden Verfahrensschritten nicht genau genug erkennbar sind. Das erschwert insbesondere die Justage der in späteren Herstellungsschritten eingesetzten Masken erheblich.

25

Dieses Problem soll speziell bei der Herstellung von Halbleiterspeichern mit Charge-trapping-Speicherzellen, insbesondere von NROM-Speicherzellen, beseitigt werden. Derartige Halbleiterspeicher besitzen vergrabene Bitleitungen, die durch eine Dotierung streifenförmiger Bereiche eines Halbleiterkörpers hergestellt werden. Für das Programmieren der Speicherzellen sind Oxid-Nitrid-Oxid-Speicherschichtfolgen vorgesehen. In

der mittleren Schicht, d. h. in der Nitridschicht, werden heiße Elektronen aus dem Kanal gefangen, so dass die Einsatzspannung der Transistorzelle verändert ist. Zum Löschen der Zelle werden diese Elektronen aus der Speicherschicht entfernt. Die Speicherschichtfolge ist als Gate-Dielektrikum zwischen einem jeweiligen Kanalbereich in dem Halbleiterkörper und einer darüber angeordneten Gate-Elektrode vorgesehen. Die Gate-Elektroden sind durch streifenförmige, auf der Oberseite angebrachte Wortleitungen miteinander verbunden.

Zwischen den Wortleitungen werden in regelmäßigen Abständen Bitleitungskontakte hergestellt, so dass die elektrischen Bahnwiderstände der vergrabenen Bitleitungen durch oberseitige leitende Verbindungen verringert werden können. Dabei tritt das oben beschriebene Problem in der Weise auf, dass bei einer bisher üblichen Justierung der Positionen der Bitleitungen und der Bitleitungskontakte auf die aktiven Bereiche Fertigungsschwankungen auftreten, die bei zunehmender Miniaturisierung der Speicherzellen nicht mehr tolerierbar sind, da die Position der Bitleitungskontakte nicht mehr ausreichend genau zu den vergrabenen Bitleitungen eingestellt werden kann.

Aufgabe der vorliegenden Erfindung ist es, ein verbessertes Verfahren zur Justage der Bitleitungskontakte auf vergrabenen Bitleitungen anzugeben.

Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruches 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

Mit dem Verfahren werden Ausrichtungsmarken (Alignment-Strukturen) zusammen mit den Bitleitungen als Vertiefungen im Halbleiterkörper oder Substrat erzeugt. Diese Ausrichtungsmarken ermöglichen eine exakte Justage der Fabrikationsebene der Bitleitungskontakte direkt auf die Position der Bitleitungen. Die Ausrichtungsmarken werden mit derselben Maske

festgelegt, mit der auch die Position der vergrabenen Bitleitungen festgelegt wird. Ein besonders bevorzugtes Ausführungsbeispiel sieht dabei vor, eine Hilfsschicht, vorzugsweise aus Polysilizium, Nitrid, Nitrid+Oxid oder anderen für

5 Hartmasken geeigneten Materialien, aufzubringen, die als Maske für das Ätzen der Ausrichtungsmarken verwendet wird. Eine Hartmaske ist jedoch nicht zwingend erforderlich, wie aus den nachfolgenden Erläuterungen hervorgeht.

10 Es folgt eine genauere Beschreibung von Beispielen des erfundungsgemäßen Verfahrens anhand der Figuren 1 bis 10.

Die Figur 1 zeigt im Querschnitt die Struktur der verwendeten Maske.

15 Die Figur 2 zeigt im Querschnitt das Zwischenprodukt, das unter Verwendung der Maske hergestellt wird.

20 Die Figur 3 zeigt im Querschnitt die Ausgestaltung einer weiteren Maske.

Die Figur 4 zeigt einen nachfolgenden Ätzprozess im Querschnitt.

25 Die Figur 5 zeigt die Struktur einer Ausrichtungsmarke im Querschnitt.

Die Figur 6 zeigt die Hilfsschicht und die Struktur der Maske im Querschnitt.

30 Die Figur 7 zeigt ein Zwischenprodukt im Querschnitt, das unter Verwendung der Maske hergestellt wurde.

35 Die Figur 8 zeigt die Struktur der Hilfsschicht und einer weiteren Maske im Querschnitt.

Die Figur 9 zeigt den Ätzprozess der Ausrichtungsmarken im Querschnitt.

Die Figur 10 zeigt die Struktur einer fertigen Ausrichtungs-  
5 marke.

In der Figur 1 ist im Querschnitt ein Ausschnitt aus einem Halbleiterkörper 1 oder Substrat dargestellt, auf dessen Oberseite eine Speicherschichtfolge aufgewachsen ist. Diese 10 Speicherschichtfolge umfasst eine erste Begrenzungsschicht 2, eine Speicherschicht 3 und eine zweite Begrenzungsschicht 4. Die Speicherschichtfolge ist insbesondere zur Ausbildung von Charge-trapping-Speicherzellen vorgesehen und kann eine Oxid-Nitrid-Oxid-Schichtfolge sein. Auf die zweite Begrenzungsschicht 4 wird eine Lackmaske 6 aufgebracht und strukturiert. 15 Die Maske 6 besitzt Öffnungen 7 im Bereich der herzustellenden vergraben Bitleitungen. Mindestens eine weitere Öffnung 8 ist an denjenigen Stellen vorhanden, an denen eine jeweili- 20 genen Ausrichtungsmarke vorgesehen ist. Wie mit den eingezeich- neten Pfeilen angedeutet ist, wird die Speicherschichtfolge in den Öffnungen 7, 8 zumindest bis auf die erste Begren- zungsschicht 2 herab entfernt.

25 In der Figur 2 ist im Querschnitt die Struktur nach dem Entfernen der Speicherschicht 3 in den Öffnungen 7, 8 dargestellt. Es wird dann Dotierstoff zur Ausbildung der vergraben Bitleitungen 9 eingebracht, was in der Figur 2 durch die gestrichelte Kontur der vergrabenen Bitleitung dargestellt ist. Es ist dabei unerheblich, ob der Dotierstoff auch im Bereich der weiteren Öffnungen eingebracht wird, wie das in der 30 Figur 2 eingezeichnet ist, oder ob mittels einer zusätzlichen Abdeckung der weiteren Öffnungen ein Eindringen von Dotier- stoff an diesen Stellen verhindert wird.

35 In der Figur 3 ist im Querschnitt dargestellt, dass nach der Ausbildung der vergrabenen Bitleitungen die Maske 6 entfernt und durch eine weitere Maske 10, vorzugsweise eine Lackmaske

ersetzt wird. Diese weitere Maske 10 deckt die vergrabenen Bitleitungen ab und hat Öffnungen 11 im Bereich der herzustellenden Ausrichtungsmarken. In der Figur 3 ist erkennbar, dass diese Öffnung 11 der weiteren Maske 10 nicht genau der weiteren Öffnung 8 der vorhergehenden Maske 6 entsprechen muss. Es genügt, wenn ein ausreichend großer Bereich freigehen wird, da durch das vorhergehende Ätzen der Speicherschicht 3 der für die Ausrichtungsmarke vorgesehene Bereich ausreichend genau definiert ist.

10

Unter Verwendung der weiteren Maske 10 erfolgt dann in den Öffnungen 11 dieser Maske ein Ätzangriff, mit dem zunächst das Material der ersten Begrenzungsschicht 2 auf der Oberseite des Halbleiterkörpers 1 oder Substrates vollständig entfernt wird. Wenn das Material der zweiten Begrenzungsschicht 4 dem Material der ersten Begrenzungsschicht 2 entspricht, insbesondere ein Oxid ist, wird das Material der zweiten Begrenzungsschicht 4 im Bereich der Öffnung 11 ebenfalls vollständig entfernt, wie das in der Figur 4 dargestellt ist. Da die Speicherschichtfolge aber in dem Bereich der herzustellenden Ausrichtungsmarke nicht die Speicherfunktion erfüllen soll, ist das unerheblich. In der Richtung des in der Figur 4 eingezeichneten Pfeiles wird dann das Material des Halbleiterkörpers 1 oder Substrates in dem schraffiert eingezeichneten Bereich ausgeätzt.

Die Figur 5 zeigt die so erreichte Struktur im Querschnitt, nachdem die weitere Maske 10 entfernt wurde. Dieses Zwischenprodukt kann dann in einem an sich bekannten Herstellungsprozess von Halbleiterspeichern weiter verarbeitet werden.

Bei einem besonders bevorzugten weiteren Ausführungsbeispiel des Verfahrens wird zusätzlich eine Hilfsschicht aufgebracht. In der Figur 6 ist die der Figur 1 entsprechende Struktur für dieses weitere Ausführungsbeispiel im Querschnitt dargestellt. Auf dem Halbleiterkörper 1 oder Substrat ist die Speicherschichtfolge ganzflächig aufgebracht. Darauf ist eine

Hilfsschicht 5 aufgebracht, die vorzugsweise Polysilizium, Nitrid, Nitrid+Oxid oder ein anderes für Hartmasken geeignetes Material ist und eine typische Dicke von etwa 100 nm aufweist. In der bereits beschriebenen Weise wird darauf die

5 Maske 6 aufgebracht und strukturiert, so dass sie Öffnungen 7 im Bereich der herzustellenden vergraben Bitleitungen und mindestens eine weitere Öffnung 8 im Bereich jeder herzustellenden Ausrichtungsmarke aufweist.

10 Nachdem im Bereich der Öffnungen der Maske 6 das Material der Hilfsschicht 5 und das Material der Speicherschichtfolge bis auf die erste Begrenzungsschicht 2 herab ausgeätzt wurden, kann wieder, entsprechend dem Querschnitt der Figur 7, der Dotierstoff zur Ausbildung der vergrabenen Bitleitungen 9

15 eingebracht werden. Falls das erforderlich ist, können in der Öffnung 14 der Hilfsschicht 5 im Bereich der herzustellenden Bitleitungen Distanzelemente, d. h. die Spacer 15, die in der Figur 7 gestrichelt eingezeichnet sind, an den Flanken der Hilfsschicht 5 hergestellt werden. Das geschieht in der an

20 sich bekannten Weise durch konforme ganzflächige Abscheidung des für die Spacer vorgesehenen Materials und anschließendes anisotropes Rückätzen. Mit den Spacern 15 wird die Abmessung der Öffnung 14 zusätzlich verkleinert, so dass die für die vergrabenen Bitleitungen vorgesehenen dotierten Bereiche von

25 den verbleibenden Anteilen der Speicherschichtfolge etwas stärker abgesetzt werden können. Es wird dann eine weitere Maske, vorzugsweise eine Lackmaske, aufgebracht, die die für die Ausrichtungsmarken vorgesehenen Bereiche, d. h. die Öffnungen 13 in der Hilfsschicht 5, frei lässt.

30

In der Figur 8 ist diese weitere Maske 16 im Querschnitt dargestellt. Es ist hier erkennbar, dass die Öffnungen 17 dieser weiteren Maske 16 wie in dem vorangegangenen Ausführungsbeispiel nicht dieselben Abmessungen haben müssen wie die Öffnungen 13 der Hilfsschicht 5. Die Öffnungen 17 in der weiteren Maske 16 können größere Abmessungen haben; es ist nur erforderlich, den Bereich der herzustellenden Ausrichtungsmarke

35

frei zu lassen. Unter Verwendung dieser weiteren Maske 16 wird eventuell zunächst noch vorhandenes Material der ersten Begrenzungsschicht 2 entfernt.

5 Dann kann entsprechend der Darstellung der Figur 9 in Pfeilrichtung eine Aussparung 18 in das Halbleitermaterial hineingeätzt werden. Wenn die Hilfsschicht 5 Polysilizium ist, wird bei dem Ätzprozess das Polysilizium der Hilfsschicht 5 im Bereich der Öffnung 17 ebenfalls entfernt.

10 Die Figur 10 zeigt die erreichte Struktur im Querschnitt, nachdem die weitere Maske 16 und die Hilfsschicht 5 entfernt wurden. Die für die Ausrichtungsmarke vorgesehene Öffnung 12 in dem Halbleitermaterial kann geringfügig seitlich aufgeweitet sein (Etch-bottle-Effekt), wenn das Material der Hilfsschicht 5 Polysilizium war und das Material des Halbleiterkörpers oder Substrates Silizium ist und daher beim Entfernen der Hilfsschicht erneut abgetragen wird. Das beeinträchtigt die Funktion der Ausrichtungsmarke nicht, da die Ausrichtungsmarke ausreichend kleine Abmessungen aufweist.

25 Die Ätzprozesse können im Fall einer Oxid-Nitrid-Oxid-Speicherschichtfolge durch Trockenätzung oder Nassätzung mit DHF oder Phosphorsäure ausgeführt werden, während das Halbleitermaterial, insbesondere Silizium, durch eine anisotrope RIE-Ätzung (reactive ion etching) entfernt wird. Das Entfernen der Hilfsschicht geschieht z. B. nasschemisch selektiv zu dem Oxid der zweiten Begrenzungsschicht 3, z. B. unter Verwendung von  $\text{NH}_4\text{OH}$ .

## Patentansprüche

1. Verfahren zur Herstellung von Halbleiterspeichern mit Charge-trapping-Speicherzellen, bei dem

5 in einem ersten Schritt auf einen Halbleiterkörper (1) oder ein Substrat eine Speicherschichtfolge aus dielektrischem Material aufgebracht wird, die eine erste Begrenzungsschicht (2), eine Speicherschicht (3) und eine zweite Begrenzungsschicht (4) umfasst,

10 in einem zweiten Schritt unter Verwendung einer Maske (6) mit Öffnungen (7) Dotierstoff zur Ausbildung vergrabener Bitleitungen (9) in den Halbleiterkörper (1) oder das Substrat eingebracht wird und

15 in einem dritten Schritt nach einer Ausbildung der Speicherzellen mittels einer Maskentechnik Kontakte auf den Bitleitungen angeordnet werden,

dadurch gekennzeichnet, dass in dem zweiten Schritt die Maske (6) mit mindestens einer weiteren Öffnung (8) zur Definition einer Ausrichtungsmarke 20 versehen wird und im Bereich der Öffnungen (7) und jeder weiteren Öffnung (8) das Material der Speicherschicht (3) entfernt wird und

zwischen dem zweiten und dem dritten Schritt in einem ersten weiteren Schritt unter Verwendung einer weiteren Maske (10) 25 eine Aussparung im Bereich einer herzustellenden Ausrichtungsmarke in den Halbleiterkörper (1) oder das Substrat hinein ausgeätzt wird.

2. Verfahren nach Anspruch 1 bei dem

30 zwischen dem ersten und dem zweiten Schritt in einem zweiten weiteren Schritt eine Hilfsschicht (5) auf die zweite Begrenzungsschicht (4) aufgebracht wird,

in dem zweiten Schritt die Hilfsschicht (5) im Bereich der Öffnungen (7) und jeder weiteren Öffnung (8) entfernt wird

35 und

nach dem ersten weiteren Schritt die Hilfsschicht (5) entfernt wird.

3. Verfahren nach Anspruch 2, bei dem  
die Hilfsschicht (5) aus Polysilizium aufgebracht wird.

Zusammenfassung

Verfahren zur Herstellung von Halbleiterspeichern mit Charge-trapping-Speicherzellen

5

Zur exakten Justage der Fabrikationsebene der Bitleitungskontakte bei Speichern mit ONO-Speicherschichtfolge (2, 3, 4) werden Ausrichtungsmarken (12) zusammen mit den Bitleitungen (9) als Vertiefungen im Halbleiterkörper (1) unter Verwendung 10 derselben Maske erzeugt. Ein besonders bevorzugtes Ausführungsbeispiel sieht dabei vor, eine Hilfsschicht, vorzugsweise aus Polysilizium, aufzubringen, die als Maske für das Ätzen der Ausrichtungsmarken verwendet wird.

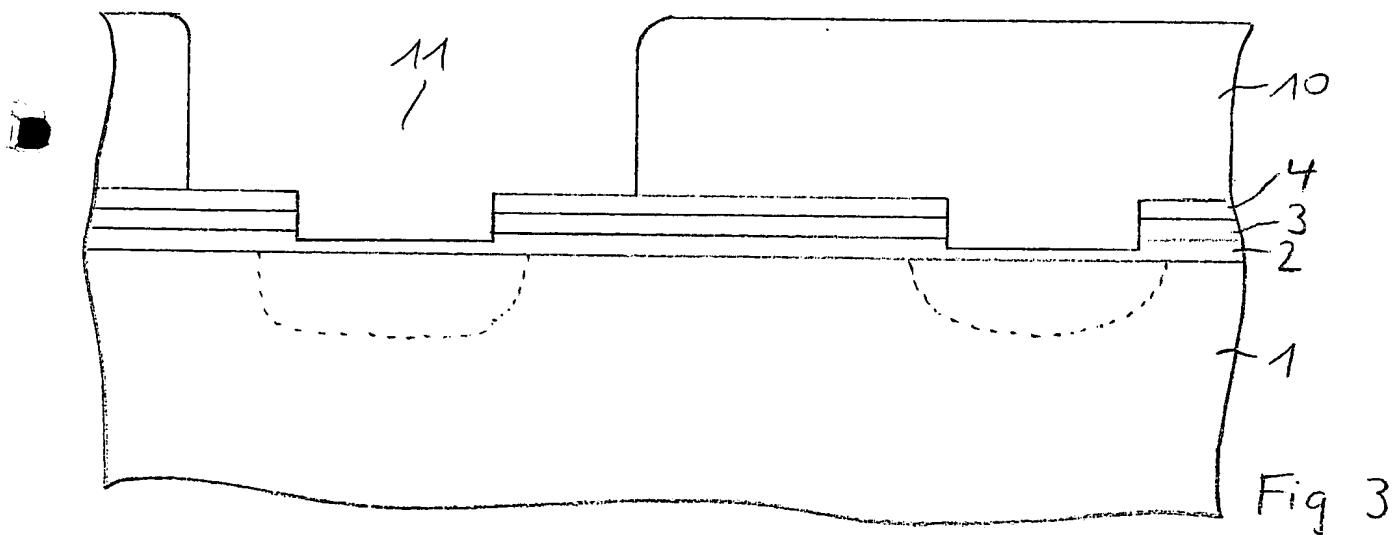
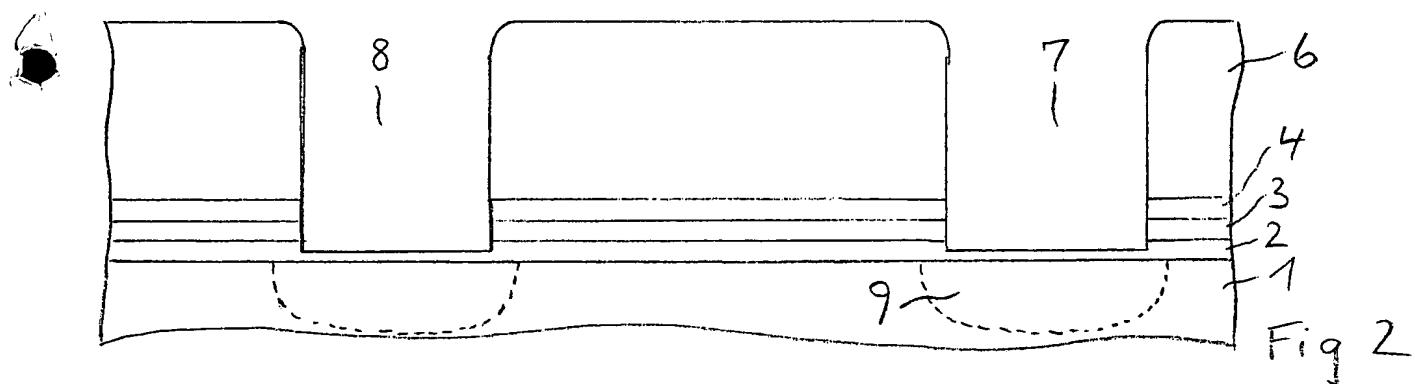
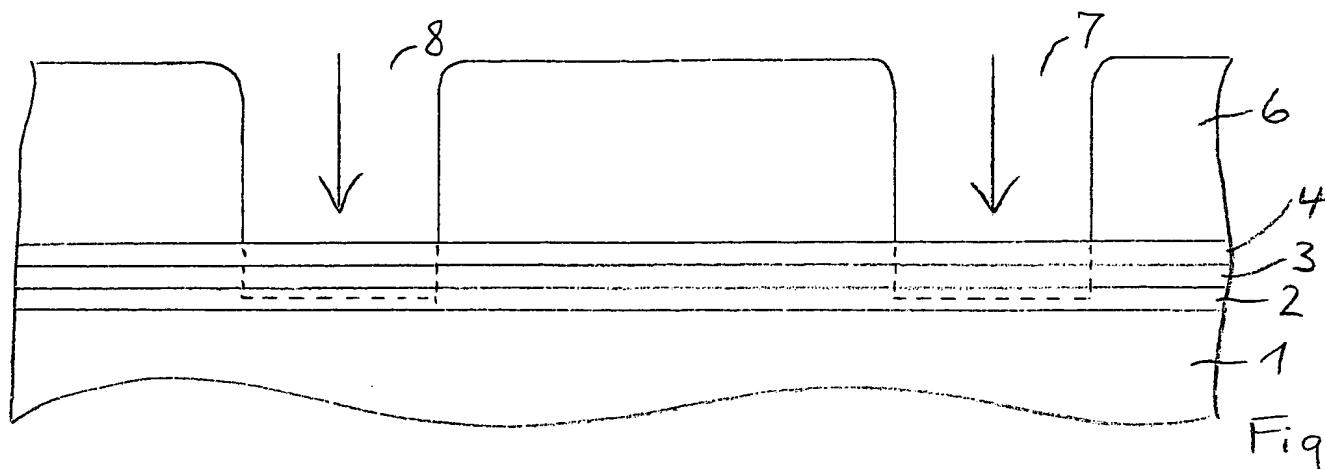
15 Figur 5

## Bezugszeichenliste

- 1 Halbleiterkörper
- 2 erste Begrenzungsschicht
- 5 3 Speicherschicht
- 4 zweite Begrenzungsschicht
- 5 Hilfsschicht
- 6 Maske
- 7 Öffnung der Maske
- 10 8 weitere Öffnung der Maske
- 9 Bitleitung
- 10 weitere Maske
- 11 Öffnung der weiteren Maske
- 12 Ausrichtungsmarke
- 15 13 Öffnung der Hilfsschicht
- 14 Öffnung der Hilfsschicht
- 15 Spacer
- 16 weitere Maske
- 17 Öffnung der weiteren Maske
- 20 18 Aussparung

P2002, 1055

1/4



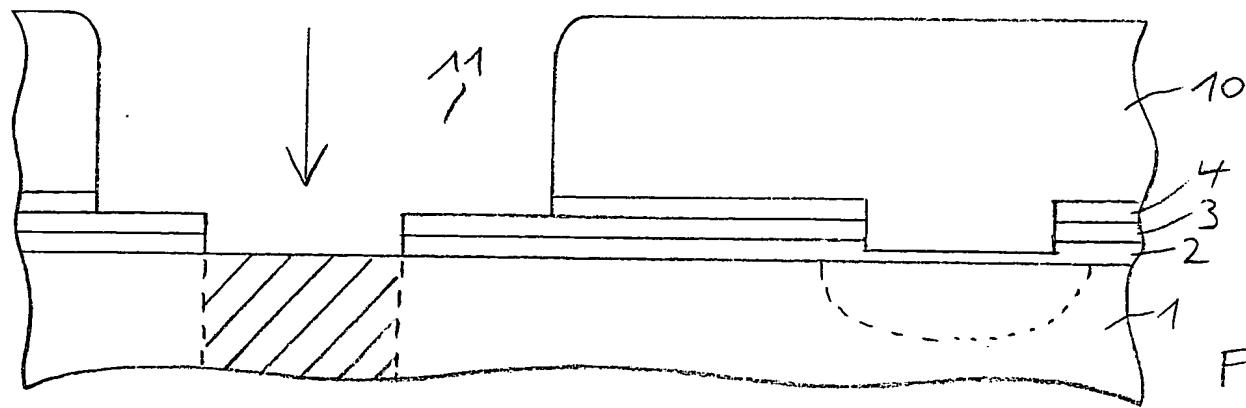


Fig 4

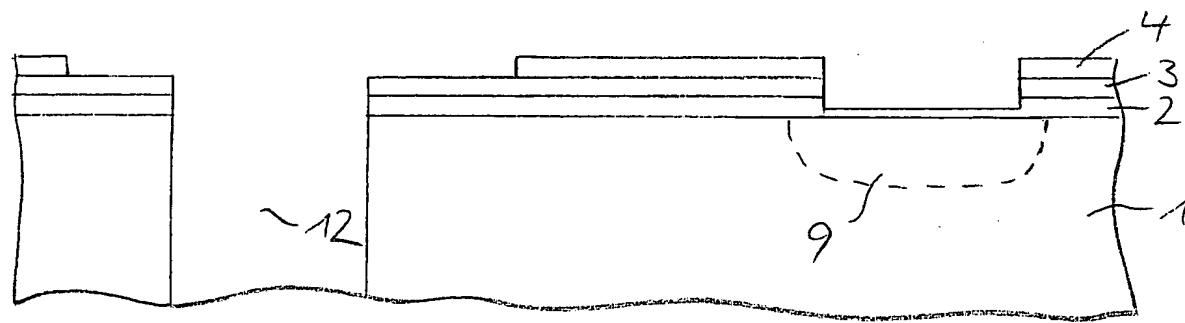


Fig 5

P2002,1055.

3/4

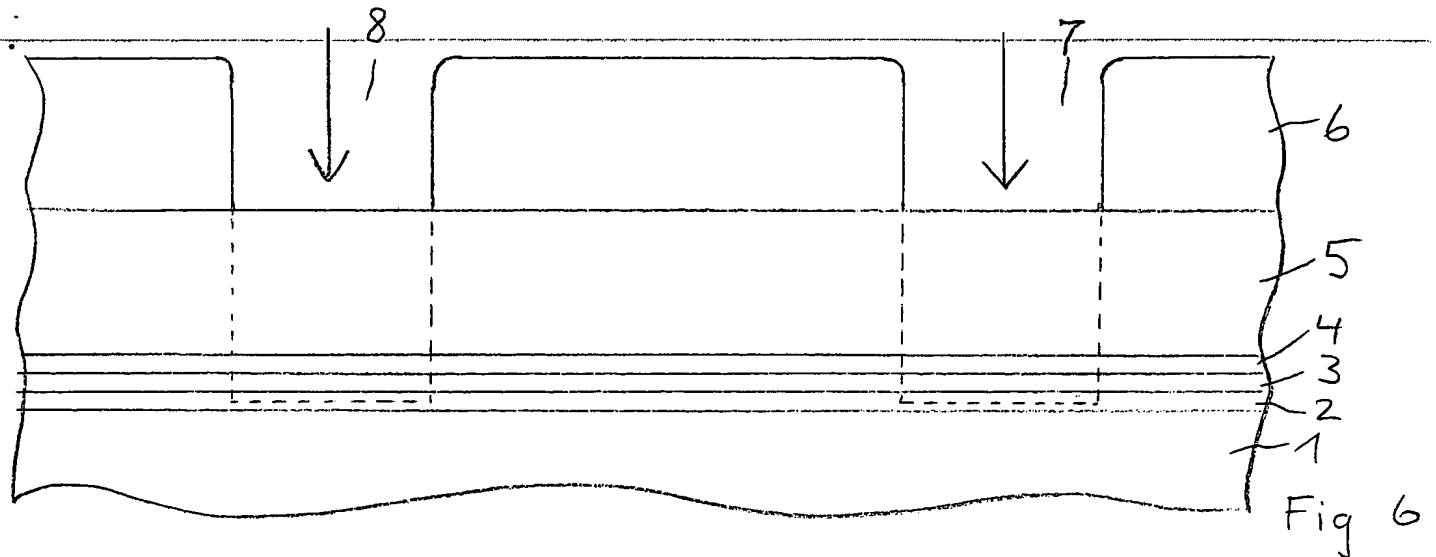


Fig 6

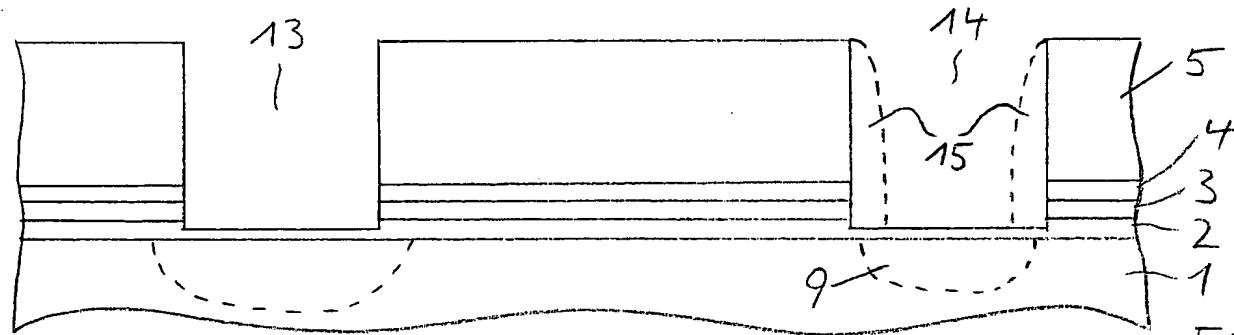


Fig 7

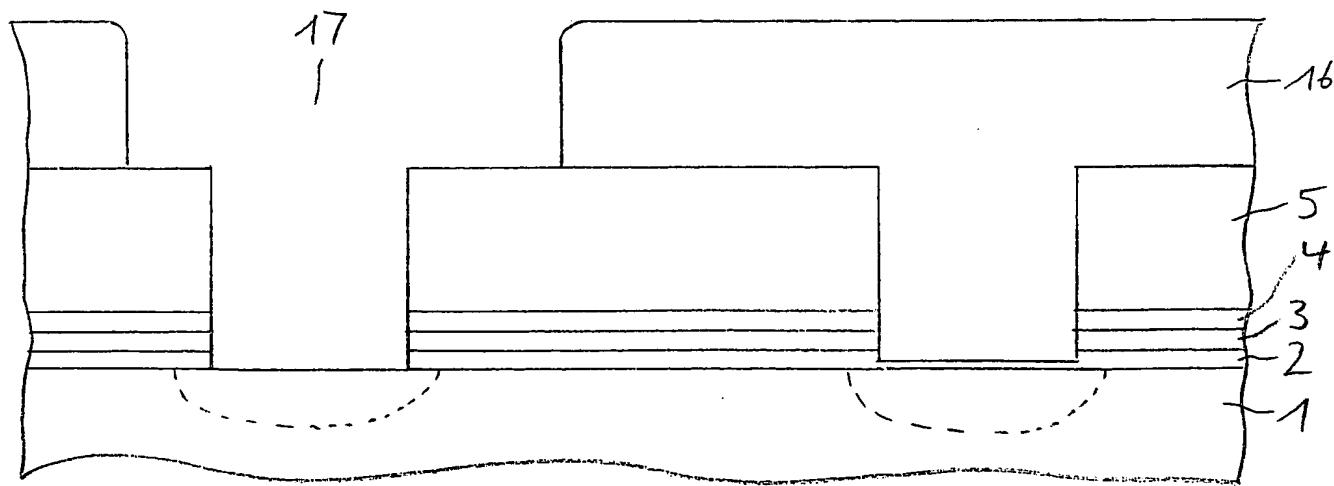


Fig 8

P2002,1055

4/4

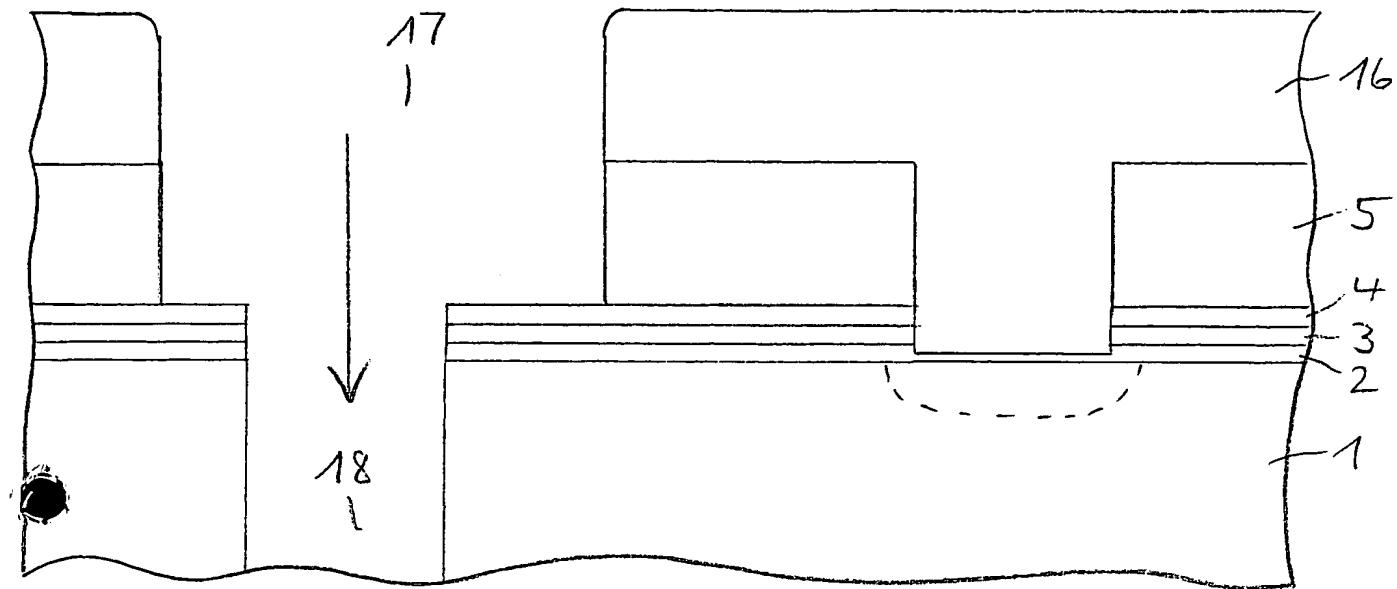


Fig 9

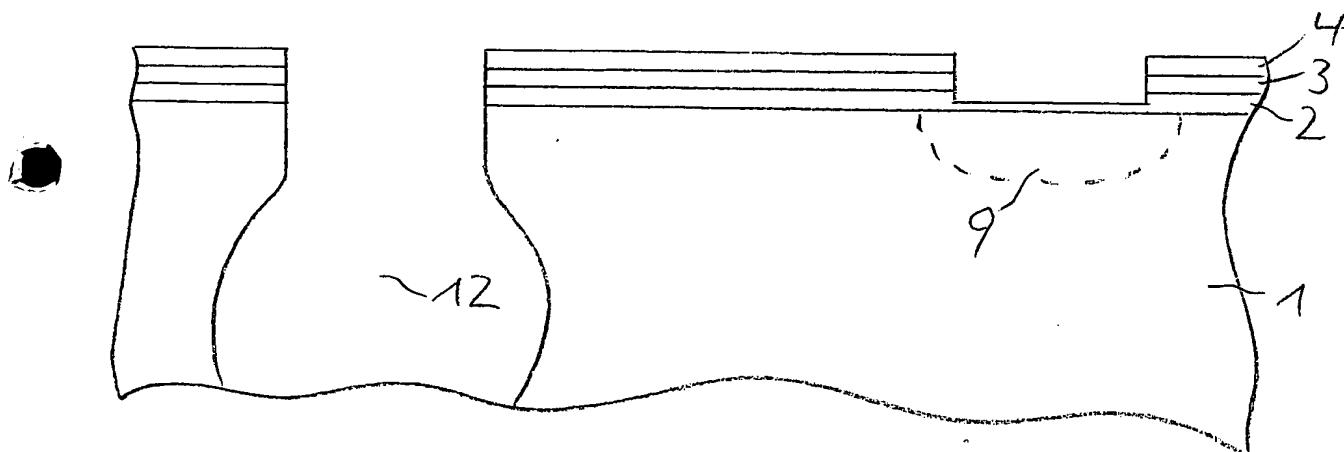


Fig 10